

(19)日本国特許庁 (JP)

(12)特許公報 (B2)

(11)特許番号

特許第3214256号

(P 3 2 1 4 2 5 6)

(45)発行日 平成13年10月2日 (2001.10.2)

(24)登録日 平成13年7月27日 (2001.7.27)

(51)Int.CI.

H01J 1/312
31/12

識別記号

F 1

H01J 31/12
1/30C
M

請求項の数7 (全7頁)

(21)出願番号 特願平6-246004
 (22)出願日 平成6年10月12日 (1994.10.12)
 (65)公開番号 特開平8-111166
 (43)公開日 平成8年4月30日 (1996.4.30)
 審査請求日 平成11年3月10日 (1999.3.10)

(73)特許権者 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (72)発明者 嶋田 恭博
 大阪府高槻市幸町1番1号 松下電子工業株式会社内
 (72)発明者 那須 徹
 大阪府高槻市幸町1番1号 松下電子工業株式会社内
 (72)発明者 井上 敦雄
 大阪府高槻市幸町1番1号 松下電子工業株式会社内
 (74)代理人 100097445
 弁理士 岩橋 文雄 (外2名)
 審査官 小島 寛史

最終頁に続く

(54)【発明の名称】電子パルス放出装置および表示装置

1

(57)【特許請求の範囲】

【請求項1】 支持基板と、前記支持基板の上に形成された第1の電極と、前記第1の電極の上に形成された強誘電体膜と、前記強誘電体膜の上に前記第1の電極と接触することなく形成された第2の電極と、前記第2の電極と空間を介して対向する第3の電極と、前記第1の電極に対して前記第3の電極に正の直流バイアスを印加する手段と、前記第1の電極と前記第2の電極との間に前記強誘電体膜の分極を反転させるための交流パルスを印加する手段とを備え、前記第2の電極の表面から前記第3の電極に向けて電子を間欠的に放出することを特徴とする電子パルス放出装置。

【請求項2】 前記支持基板が一方導電型の半導体基板であり、前記第1の電極が前記半導体基板の上に形成された他方導電型の拡散層である請求項1記載の電子パル

2

ス放出装置。

【請求項3】 支持基板と、前記支持基板上に形成された複数の第1の電極と、前記第1の電極の上に形成された強誘電体膜と、前記強誘電体膜の上に前記第1の電極と接触することなく前記第1の電極とは直交する方向に形成された複数の第2の電極と、前記複数の第1の電極と前記複数の第2の電極とが交差する部分に開口を有する前記第2の電極上に形成された絶縁層とを備え、前記支持基板は、前記第2の電極と空間を介して対向する、透明導電層と蛍光体層が順に形成された透明基板と空間を介して対向して配置され、前記第1の電極に対して前記透明導電層に正の直流バイアスを印加する手段と、前記第1の電極と前記第2の電極との間に前記強誘電体膜の分極を反転させるための交流パルスを印加する手段とを備え、前記第2の電極の表面から前記透明導電層に向

けて電子を間欠的に放出することを特徴とする表示装置。

【請求項4】 前記支持基板が一方導電型の半導体基板であり、前記第1の電極が前記半導体基板の上に形成された他方導電型の拡散層である請求項3記載の表示装置。

【請求項5】 前記支持基板に、前記複数の第1の電極および前記複数の第2の電極に電気信号を供給するための駆動回路を設けた請求項4記載の表示装置。

【請求項6】 前記複数の第1の電極と前記複数の第2の電極とが直交する部分が、行または列同士で半ピッチずれている請求項3、4または5記載の表示装置。

【請求項7】 前記複数の第1の電極と前記複数の第2の電極とが直交する部分に対応して前記透明基板の上に2種類以上の蛍光体が独立してマトリックス状に塗布されている請求項3、4、5または6記載の表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、強誘電体膜または高い誘電率を有する誘電体膜を容量絶縁膜とする容量装置の一電極面を冷陰極電子放出面として用いた電子パルス放出装置およびその電子パルス放出装置を用いた表示装置に関する。

【0002】

【從来の技術】 固体素子中の電子の移動速度はたかだか光速の1/1000程度であり、固体素子の動作速度には限界がある。また、これらの固体素子の特性は、放射線や温度変化に影響されやすいという欠点を持っている。近年、固体素子の持つこれらの欠点を克服するために、微細加工技術を用いて微小な真空管を固体中に作りこむ試みが活発になされている。

【0003】 これらの微小真空管にはさまざまな形状の冷陰極が使用されているが、そのなかでも針状電極は1000A/cm²以上の高い放出電子密度を容易に得ることができるので、広く研究されている。また、半導体中のなだれ降伏や、絶縁膜またはショットキー障壁でのトンネル効果を利用した平面陰極構造も研究されている。

【0004】 以下、從来の平面陰極構造を有する電子パルス放出装置の一例について説明する。図6は從来の電子パルス放出装置の要部断面図である。

【0005】 図6に示すように、從来の電子パルス放出装置は、強誘電体膜3を第1の電極2と第2の電極4とで挟み、第2の電極4には強誘電体膜3の表面を露出させるための開口4aを設けている。このような構成において、交流パルス電源7からのパルス電圧で強誘電体膜3の分極を急激に反転させることにより、強誘電体膜3の表面の分極電荷によって拘束された電子をパルス的に放出させる方法が試みられており、1A/cm²以上の電流密度を得ている（例：H. Gundl他 Appl. Phys. Lett., Vol. 54, pp. 2071, 1989）。

【0006】

【発明が解決しようとする課題】 しかしながら上記の従来の針状電極構造では、陰極の尖端部に電流が集中するため尖端部が蒸発し経時に放出電流特性が変化するほか、尖端部へのガスの吸脱着により放出電流特性が不安定になるなどの課題を有していた。

【0007】 一方、なだれ降伏やトンネル効果を利用した平面陰極構造では、電子放出に高電界を要するので動作電圧が高くなるという課題を有していた。さらに、これらの冷陰極を用いた微小真空管の多くは直流的に動作するので、空間電荷制限効果によって放出電子電流が飽和するという課題を有していた。

【0008】 この空間電荷制限効果は、瞬時電流値だけを問題にするのであれば、空間に電子をパルス的に放出させることによって回避できる。たとえば、強誘電体の分極反転を利用した強誘電体表面からの電子放出はその一例である（例：H. Gundl他 Appl. Phys. Lett., Vol. 54, pp. 2071, 1989および特開平5-325777号公報）が、ここで放出される電子の量は高々強誘電体膜の分極電荷と結合した電荷量のみであるので、高い放出電子電流密度は望めない。また、電子放出面が強誘電体表面であるため、ガスの吸脱着による電子放出特性が不安定になるという課題があった。

【0009】 この課題を解決するために、発明者らは、強誘電体表面を金属電極で覆い、この金属電極と絶縁膜を介して隔てられたトリガ板との間に印加した電界によって金属電極から電子を引き出し、電子放出特性の安定化を図った（特開平6-259304号公報参照）。しかし、この構造では、電子放出特性が従来の構造に比べて改善されたものの、金属電極とトリガ板の間の絶縁膜の絶縁耐圧が高くなればならないのに加え、この装置を駆動するための回路が複雑になるというあらたな課題が生じた。

【0010】 本発明は、上記従来の課題を解決するもので、空間電荷制限効果がなく、高い電子放出電流密度を低い動作電圧によってパルス的に得ることができ、かつ特性変動や特性劣化の少ない平面陰極構造を有する電子パルス放出装置および表示装置を提供することを目的とする。

【0011】

【課題を解決するための手段】 この目的を達成するため本発明の請求項1記載の電子パルス放出装置は、支持基板と、前記支持基板の上に形成された第1の電極と、前記第1の電極の上に形成された強誘電体膜と、前記強誘電体膜の上に前記第1の電極と接触することなく形成された第2の電極と、前記第2の電極と空間を介して対向する第3の電極と、前記第1の電極に対して前記第3の電極に正の直流バイアスを印加する手段と、前記第1の電極と前記第2の電極との間に前記強誘電体膜の分極

を反転させるための交流パルスを印加する手段とを備え、前記第2の電極の表面から前記第3の電極に向けて電子を間欠的に放出することを特徴とするものである。

【0012】また、本発明の請求項3記載の表示装置は、支持基板と、前記支持基板上に形成された複数の第1の電極と、前記第1の電極の上に形成された強誘電体膜と、前記強誘電体膜の上に前記第1の電極と接触することなく前記第1の電極とは直交する方向に形成された複数の第2の電極と、前記複数の第1の電極と前記複数の第2の電極とが交差する部分に開口を有する前記第2の電極上に形成された絶縁層とを備え、前記支持基板は、前記第2の電極と空間を介して対向する、透明導電層と蛍光体層が順に形成された透明基板と空間を介して対向して配置され、前記第1の電極に対して前記透明導電層に正の直流バイアスを印加する手段と、前記第1の電極と前記第2の電極との間に前記強誘電体膜の分極を反転させるための交流パルスを印加する手段とを備え、前記第2の電極の表面から前記透明導電層に向けて電子を間欠的に放出することを特徴とするものである。

【0013】

【作用】以上の構成により、電子パルス放出装置としては、第2の電極に容量結合として蓄積された電子に加え、第2の電極と強誘電体膜の界面準位に拘束された電子、強誘電体膜内の欠陥準位に拘束された電子を放出電子として利用できるので、放出電流密度を高くできる。

【0014】なお支持基板をn型半導体基板とし、第1の電極をp型拡散層で構成することによりpn接合部から拡散注入された電子までも放出電子に供することができる、さらに放出電流密度が高くなる。

【0015】また、強誘電体膜の膜厚を200nm程度にすると、±5V程度の低電圧で分極を反転させることができとなり、低電圧での電子放出が可能となる。さらに、電子放出面は第2の電極で覆われた平面構造であるので、放出電流の集中がなく、またガスの吸脱着の影響も受けにくい電子パルス放出装置を実現できる。さらに、その動作は第1の電極と第2の電極との間に交流パルス電圧を印加すればよいので、動作に必要な回路構成も簡素化される。

【0016】また上記の電子パルス放出装置の第3の電極として透明導電層を形成し、その上に蛍光体層を積層した透明基板を用いることにより、低電圧動作可能な薄型の表示装置を実現できる。

【0017】

【実施例】以下本発明の一実施例における電子パルス放出装置について、図面を参照しながら説明する。

【0018】図1は本発明の第1の実施例における電子パルス放出装置の断面図である。図1において、1はシリコン基板またはガラス基板等の支持基板、2は白金膜からなる第1の電極、3はチタン酸鉛ジルコニアムからなる厚さ200nmの強誘電体膜、4は白金膜からなる

厚さ10nmの第2の電極、5はアルミニウムからなる第3の電極であり、第2の電極4と第3の電極5は1mm程度隔てられている。6は直流バイアス電源、7は交流パルス電源であり、それぞれ電子パルス放出装置を動作させるための駆動回路の一部を構成している。

【0019】以上のように構成された電子パルス放出装置について、以下その動作について説明する。まず第1の電極2と第2の電極4との間に第1の電極2に対して正のパルスを印加し、第1の電極2と、強誘電体膜3と、第2の電極4とで構成されるキャパシタを充電する。このとき、第2の電極4には電子が蓄積される。次に第1の電極2と第2の電極4との間に第1の電極に対して負のパルスを印加すると強誘電体膜3の分極が反転し、直流バイアス6によって第2の電極4から第3の電極5に向けて電子が放出される。

【0020】上記の動作について、さらに電子エネルギー帯図を用いて説明する。図2(a)は、第1の電極に対して正であるパルス電圧を第2の電極に印加したときの電子エネルギー帯図、図2(b)は、第1の電極に対して負であるパルス電圧を第2の電極に印加したときの電子エネルギー帯図である。これらの図において、21は第1の電極2の電子エネルギー帯、22は強誘電体膜3の電子エネルギー帯、23は第2の電極4の電子エネルギー帯、24は真空準位、25はフェルミ準位、26は第2の電極4に容量結合した電子、27は第2の電極4と強誘電体膜3との界面の界面準位に拘束された電子、28は強誘電体膜3の欠陥準位に拘束された電子である。以下電荷の単体として電子のみに着目して説明する。

【0021】図2(a)に示すように、第1の電極2と第2の電極4との間に第1の電極に対して正のパルスを印加した場合、第2の電極4には容量結合した電子26が、第2の電極4と強誘電体膜3との界面には界面準位に拘束された電子27が、強誘電体膜3内には欠陥準位に拘束された電子28がそれぞれ蓄積される。次に図2(b)に示すように、第1の電極2と第2の電極4との間に第1の電極2に対して負のパルスを印加すると強誘電体膜3の分極が反転し、界面準位に拘束された電子27が反転した分極電荷による電界によって真空準位24に飛び出す。さらに強誘電体膜3の欠陥準位に拘束された電子28が、強誘電体膜3にかかる電界に加速され、欠陥準位間をホッピングしながら真空準位24へ飛び出す。

【0022】次に、本発明の第2の実施例における電子パルス放出装置について、図面を参照しながら説明する。

【0023】図3は同電子パルス放出装置の断面図である。図3において、31はn型シリコン基板、32はp型拡散層からなる第1の電極、33はチタン酸鉛ジルコニアムからなる厚さ200nmの強誘電体膜、34は白

金膜からなる厚さ10nmの第2の電極、35はアルミニウムからなる第3の電極であり、第2の電極34と第3の電極35は1mm程度隔てられており、36は直流バイアス電源、37は交流パルス電源である。第1の電極32はn型シリコン基板31との間にpn接合を形成している。第1の電極32には交流パルス電源37が電気的に接続されており、第1の電極32と第2の電極34との間にかかる電圧と、第1の電極32とn型シリコン基板31との間にかかる電圧とは極性が逆になっている。

【0024】以上のように構成された第2の実施例について、以下その動作について説明する。

【0025】図4(a)は、直流バイアス電源および交流パルス電源が接続されていないときの電子エネルギー帯図であり、図4(b)は、直流バイアス電源および交流パルス電源37を接続し、第1の電極32に正のパルス電圧を印加したときの電子エネルギー帯図、図4(c)は、第1の電極32に負のパルス電圧を印加したときの電子エネルギー帯図である。これらの図において、41はpn接合の電子エネルギー帯、42は強誘電体膜の電子エネルギー帯、43は第2の電極34の電子エネルギー帯、44は真空準位、45はフェルミ準位、46は第2の電極34に容量結合した電子、47は第2の電極34と強誘電体膜33との界面の界面準位に拘束された電子、48は強誘電体膜33内の欠陥準位に拘束された電子、49はn型シリコン基板31から第1の電極32に注入された電子である。

【0026】ここで、直流バイアス電圧を印加し、第1の電極32に正のパルス電圧を印加すると、図2(a)に示すように、第2の電極34には容量結合した電子46が、第2の電極34と強誘電体膜33との界面には界面準位に拘束された電子47が、強誘電体膜33内には欠陥準位に拘束された電子48がそれぞれ蓄積されるほか、pn接合部は順方向バイアスとなっているので、第1の電極32にはn型シリコン基板31から電子49が拡散注入され、これらの一部は強誘電体膜33と第1の電極32との界面の界面準位に拘束された電子47となる。

【0027】次に第1の電極32に負のパルスを印加すると、図4(c)に示すように強誘電体膜33の分極が反転し、界面準位に拘束された電子47が反転した分極電荷による電界によって真空準位44に飛び出す。さらに強誘電体膜33の欠陥準位に拘束された電子48が、強誘電体膜33にかかる電界に加速され、欠陥準位間にホッピングしながら真空準位44へ飛び出す。これに加えて第1の電極32と強誘電体膜33との間の界面準位に拘束された電子47も電界に加速されて真空準位44へ放出されることとなる。

【0028】なお本実施例において基板としてn型シリコン基板を使用し、第1の電極としてp型拡散層を用

い、pn接合を利用した場合について説明したが、p型シリコン基板にn型ウエルを形成し、そのn型ウエルにp型拡散層を形成して第1の電極として用いても同様の電子放出装置を構成することができる。またpn接合を利用するのでなければ、p型シリコン基板にn型拡散層を形成し、このn型拡散層を第1の電極として用いてもよい。

【0029】次に本発明の一実施例における表示装置について、図面を参照しながら説明する。図5は同表示装置の立体断面図である。図5において、51はn型シリコン基板、52はp型拡散層からなる第1の電極、53はPZTなどの強誘電体膜、54は第1の電極52に直交するようにして形成された白金膜などからなる第2の電極、55はシリコン酸化膜などからなる絶縁層、56は絶縁層55に設けた開口、57は蛍光体層、58は透明導電層からなる第3の電極、59は透明基板、60は直流バイアス電源、61は交流パルス電源である。なお第1の電極52および第2の電極54は、図面では省略したが、それぞれスイッチを介して交流パルス電源61に接続されているものとする。このように本実施例は、n型シリコン基板51の上に電子放出部を多数設け、このn型シリコン基板51に対向して蛍光体層57、透明導電層58を形成した透明基板59を設置し、それぞれの基板の周辺で真空封止しておくことにより表示装置を構成したものである。

【0030】すなわち、n型シリコン基板51の上に平行に配置された多数の第1の電極52と、強誘電体膜53を介して平行に配置された多数の第2の電極54とが互いに直角に配置されている。多数の第2の電極54

30は、電子を真空中に放出するための開口56を備えたシリコン酸化膜からなる絶縁層55で互いに電気的に絶縁されている。第1の電極52と第2の電極54の終端は、それぞれスイッチ(図示せず)を介して交流パルス電源61に接続されている。一方、交流パルス電源61に対して直流バイアス電源60によってバイアスされた放出電子を捕獲する第3の電極58は、開口56より空間を隔てて電子放出面と対向する透明基板59の上に形成された透明導電層であり、たとえば酸化インジウムスズ(ITO)などが使用される。さらに、本実施例では、電子の到達面である透明導電層58の面上に蛍光体57が塗布されている。なお、シリコン基板51と透明基板59とは絶縁層55の上にスペーサを設けて重ね合わせることによって、両者の間隔を均一に保持することができる。

【0031】以上のように構成された表示装置について、以下その動作について説明する。まず、交流パルス電源61によって第1の電極52、強誘電体膜53、および第2の電極54からなるキャパシタへの充放電動作は図3に示す電子パルス放出装置に同じであるが、電子が放出される場所は、第1の電極52と第2の電極54

ののおのに接続されているスイッチ（図示せず）の開閉状態を組み合わせることによって選択される格子上の点になる。このように、選択された任意の格子点の開口 5 6 から放出された電子は、直流バイアス電源 6 0 による電界で加速されて第 3 の電極 5 8 に到達するが、本実施例では蛍光体 5 7 を第 3 の電極 5 8 の面上に塗布してあるので、加速された電子は蛍光体 5 7 に衝突し、これを発光させる。すなわち、透明基板 5 9 の内面の任意の場所を選択して発光させることができるので、平面画像表示装置として利用できる。

【0032】上記実施例における表示装置では、第 1 の電極 5 2 として n 型シリコン基板 5 1 に形成された p 型拡散層を用いた例について説明したが、これは p-n 接合を利用して効率を上げた例であり、単に拡散層を配線として使用するのであれば、導電型にはこだわる必要はない。また基板として半導体基板を使用するのではなく、絶縁性基板上に導電性材料で複数本の第 1 の電極を形成し、この第 1 の電極を覆って強誘電体膜を形成し、この強誘電体膜の上に第 1 の電極に直交するようにして第 2 の電極を形成しても同様の表示装置を構成することができる。

【0033】また上記実施例における表示装置では、第 2 の電極 5 4 として白金膜を用いた例について説明したが、白金膜以外にも仕事関数の低い金属を使用するか、または低抵抗の金属の表面に酸化マグネシウム (MgO) やセシウム (Cs) など電子放出効率の高い材料を塗布することにより、さらに電子放出効率の高い電子パルス放出装置を備えた表示装置を構成することができる。

【0034】また表示装置をカラー化するに際しては、第 1 の電極 5 2 と第 2 の電極 5 4 との交点に対応する透明基板 5 9 の上に異なる発色を示す蛍光体膜を形成してもよいし、また蛍光体膜 5 7 として白色発光のものを選択し、透明基板 5 9 にモザイク状のカラーフィルタを重ねてもよい。このとき、第 1 の電極 5 2 と第 2 の電極 5 4 との交点が行同士または列同士で互いに半ピッチずつずれるようにしておけば、鮮やかな色表示を可能にする。

【0035】なお、基板としてシリコン単結晶基板を用いた場合、通常の半導体装置の製造方法を用いて電極形成できるとともに、表示部の周辺に高性能の駆動回路を形成でき、小型・高性能の表示装置を構成することができる。

【0036】また、基板として透明基板上に多結晶シリコン膜または非晶質シリコン膜を形成したものを用いた場合、シリコン単結晶基板を用いた場合に比べて多少性能は劣るもの、大画面の表示装置を構成することができる。

【0037】

【発明の効果】本発明は、支持基板上に形成された第 1

10 の電極と、第 1 の電極の上に形成された強誘電体膜と、強誘電体膜の上に第 1 の電極と接触することなく形成された第 2 の電極と、第 2 の電極と空間を介して対向する第 3 の電極からなり、電極に容量結合として蓄積された電子、電極と強誘電体膜の界面準位に拘束された電子、および強誘電体膜内の欠陥準位に拘束された電子を放出させることにより、低電圧で放出電流密度の高い電子パルス放出装置を実現できるものである。たとえば強誘電体膜を 200 nm 程度の厚さにすると、±5 V 程度の低電圧で強誘電体の分極を反転させることができ、低電圧動作させることができる。

【0038】また、基板として n 型シリコン基板を用い、p 型拡散層を第 1 の電極としてその上に強誘電体膜、第 2 の電極を順次形成し、これらの上に第 3 の電極を設置することによりさらに p-n 接合部から注入された電子も放出電子として利用できるため、さらに放出電流密度を高くすることができる。

【0039】また、電子放出面は金属または酸化物の平面構造であり、放出電流の集中がなく、ガスの吸脱着の

20 影響を受けにくい電子パルス放出装置を実現できる。

【0040】さらに、上記の電子パルス放出装置を応用

し、第 3 の電極の上に蛍光体膜を塗布しておくことによ

り、放出された電子により蛍光体膜が励起されて発光す

るために、極めて薄型の表示装置を実現することができる。

【0041】また、表示装置の基板として単結晶シリコ

ン基板を用い、表示部の周辺部に駆動回路を一体的に形

成することができ、表示装置の入力端子数および外付け

回路を簡略化することができる。

30 【図面の簡単な説明】

【図 1】本発明の第 1 の実施例における電子パルス放出

装置の断面図

【図 2】(a) は同電子パルス放出装置において、第 1

の電極に対して正であるパルス電圧を第 2 の電極に印加

したときの電子エネルギー帯図

(b) は同電子パルス放出装置において、第 1 の電極に

対して負であるパルス電圧を第 2 の電極に印加したとき

の電子エネルギー帯図

【図 3】本発明の第 2 の実施例における電子パルス放出

40 装置の断面図

【図 4】(a) は、同電子パルス放出装置において、直

流バイアス電圧およびパルス電圧が印加されていないとき

の電子エネルギー帯図

(b) は、同電子パルス放出装置において、直

流バイアス電圧を印加し、p 型拡散層に正のパルス電圧を印加

したときの電子エネルギー帯図

(c) は、同電子パルス放出装置において、直

流バイアス電圧を印加し、p 型拡散層に負のパルス電圧を印加

したときの電子エネルギー帯図

【図 5】本発明の一実施例における表示装置の立体断面

50

図

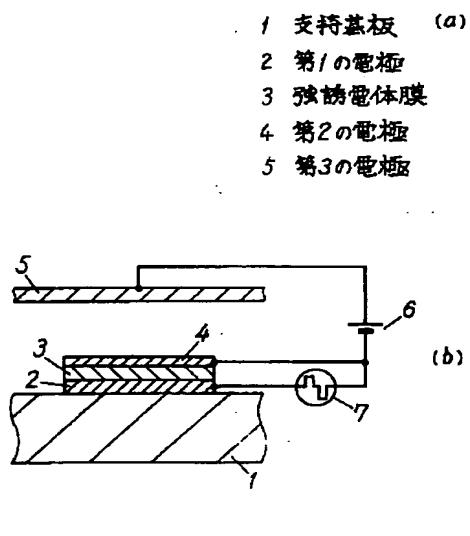
【図6】従来の電子パルス放出装置の要部断面図

【符号の説明】

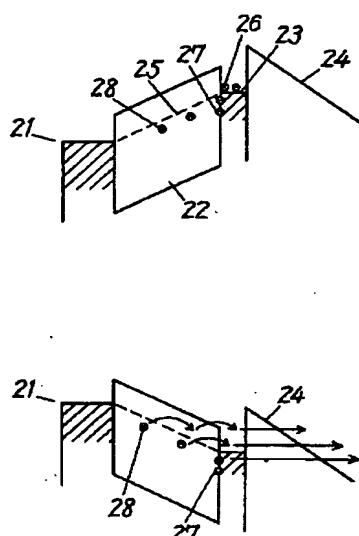
1 支持基板

2 第1の電極
3 強誘電体膜
4 第2の電極
5 第3の電極

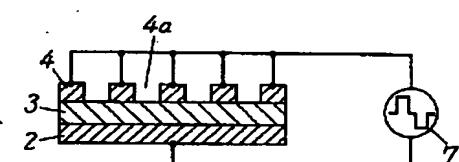
【図1】



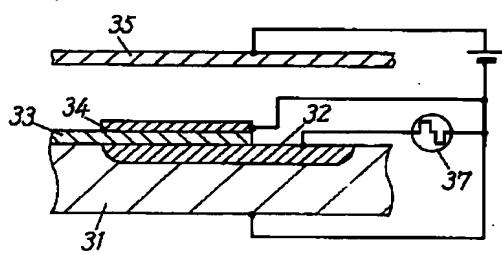
【図2】



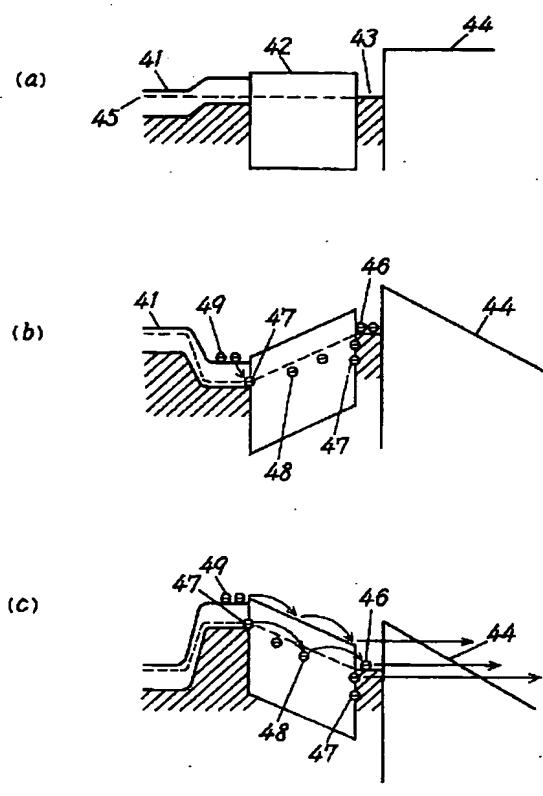
【図6】



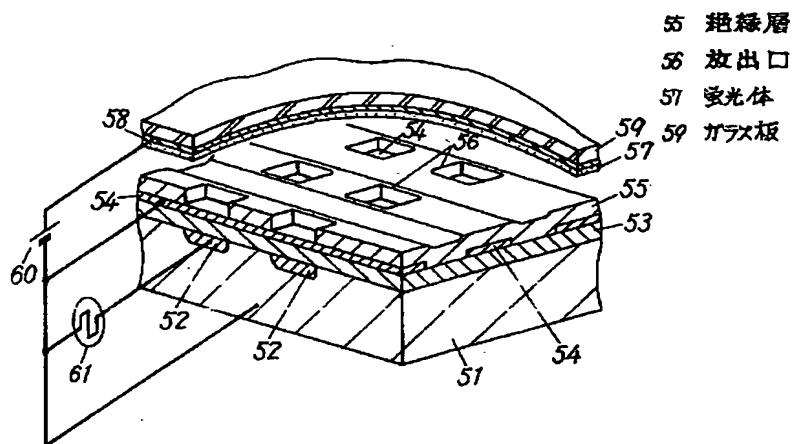
【図3】



【図4】



【図5】



フロントページの続き

| | | | |
|---------|------------------------------|----------|-----------------------|
| (72)発明者 | 有田 浩二 | (56)参考文献 | 特開 平6-111722 (J P, A) |
| | 大阪府高槻市幸町1番1号 松下電子工 業株式会社内 | | 特開 平5-325777 (J P, A) |
| (72)発明者 | 松田 明浩 | | 特開 平6-103886 (J P, A) |
| | 大阪府高槻市幸町1番1号 松下電子工 業株式会社内 | | 特開 平7-226146 (J P, A) |

(58)調査した分野(Int.CI. ⁷, DB名)

H01J 1/312
H01J 31/12

(54) [Title of the Invention]

ELECTRON PULSE EMISSION DEVICE AND DISPLAY DEVICE

(57) [Claims]

[Claim 1] An electron pulse emission device comprising a supporting substrate, a first electrode formed on said supporting substrate, a ferroelectric layer formed on top of said first electrode, a second electrode formed on top of said ferroelectric layer without being in contact with said first electrode, a third electrode facing toward said second electrode across a space, a means for applying a positive DC bias with regard to said first electrode to said third electrode, and a means for applying an AC pulse voltage between said first electrode and said second electrode to induce polarization inversion in said ferroelectric layer, wherein said electron pulse emission device is characterized by intermittently emitting electrons from the surface of said second electrode toward said third electrode.

[Claim 2] The electron pulse emission device according to claim 1, wherein said supporting substrate is a semiconductor substrate of one channel type and said first electrode consists of a diffusion layer of the other channel type, formed on said semiconductor substrate.

[Claim 3] A display device comprising a supporting substrate, a plurality of first electrodes formed on said supporting substrate, a ferroelectric layer formed on top of said first electrodes, a plurality of second electrodes formed on top of

said ferroelectric layer without being in contact with said first electrodes and in an orthogonal direction to said first electrodes, and an isolation layer formed on top of said second electrodes, said isolation layer having openings at the intersections of said plurality of first electrodes and said plurality of second electrodes, wherein said supporting substrate is placed opposite to a transparent substrate across a space, said transparent substrate facing toward said second electrodes across the space and having a transparent conductive layer and a phosphor layer formed thereunder, wherein said display device further comprises a means for applying a positive DC bias with regard to said first electrodes to said transparent conductive layer and a means for applying an AC pulse voltage between each said first electrode and each said second electrode to induce polarization inversion in said ferroelectric layer, wherein said display device is characterized by intermittently emitting electrons from the exposed surfaces of said second electrodes toward said transparent conductive layer.

[Claim 4] The display device according to claim 3, wherein said supporting substrate is a semiconductor substrate of one channel type and said first electrode consists of a diffusion layer of the other channel type, formed on said semiconductor substrate.

[Claim 5] The display device according to claim 4, wherein said supporting substrate is provided with a drive circuit for supplying electrical signals to said plurality of first electrodes and said plurality of second electrodes.

[Claim 6] The display device according to claim 3, 4, or 5, wherein said plurality of first electrodes and said plurality of second electrodes intersect such that the intersections in a column (or row) are a half pitch off the positions of the intersections in an adjacent column (or row).

[Claim 7] The display device according to claim 3, 4, 5, and 6 wherein partitions of two or more kinds of phosphor films corresponding to the intersections of said plurality of first electrodes and said plurality of second electrodes are formed in a matrix on said transparent substrate.

[Detailed Description of the Invention]

[0001]

[Field of Industrial Application] The present invention relates to an electron pulse emission device that uses the surface of one electrode of a capacitance device employing a ferroelectric layer or a dielectric layer with a high dielectric constant for capacitive isolation as the surface for cold cathode electron emission and a display device employing the electron pulse emission device.

[0002]

[Prior Art] The speed at which electrons move in a solid element is at most on the order of one thousandth of light velocity and solid elements have limitations in their operating speed. In view of their properties, the solid elements also have drawbacks that they are susceptible to radioactive rays and temperature change. Recently, to overcome such drawbacks of the solid elements, attempts to integrate micro vacuum tubes into a solid

element by way of a micro-fabrication technique have actively been made.

[0003] Various shapes of cold cathodes have been employed in the micro vacuum tubes and, among them, needle electrodes, which can achieve a high density of electron emission over 1000 A/Cm² with ease, have been studied widely. A flat cathode structure making use of an avalanche breakdown in a semiconductor and a tunnel effect in a dielectric isolation film or Schottky barrier has also been studied.

[0004] An example of an electron pulse emission device having the flat cathode structure of prior art will be described below. FIG. 6 is a cross-sectional view of a main portion of an electron pulse emission device of prior art.

[0005] As shown in FIG. 6, the electron pulse emission device of prior art comprises a first electrode 2 and a second electrode 4 between which a ferroelectric layer 3 is sandwiched and the second electrode 4 has openings 4a to expose the surface of the ferroelectric layer 3. In this structure, by rapidly alternating polarization in the ferroelectric layer 3 with application of a pulse voltage from an AC pulse power supply 7, a method of pulsed emission of electrons bound by polarization charges on the surface of the ferroelectric layer 3 has been attempted, which achieved a current density of 1 A/cm² and above (e.g., H. Gundl et al., Appl. Phys. Lett., Vol. 54, p. 2071, 1989).

[0006]

[Problems to be Solved by the Invention] However, the above

needle electrode structure of prior art has had the following problems: currents converging at the tips of the cathodes cause the tips to evaporate and emission current characteristics change over time; and the tips adsorb and release gas, which destabilizes the emission current characteristics.

[0007] On the other hand, the flat cathode structure making use of the avalanche breakdown and the tunnel effect has had a problem of high operating voltage because a high electric field is required for electron emission. Furthermore, most of micro vacuum tubes employing these cold cathodes operate on DC and, hence, have had a problem that a space-charge limitation effect saturates the emission electron current.

[0008] If only instantaneous current values are brought into question, this space-charge limitation effect can be avoided by pulsed emission of electrons into space. One example of the method of avoiding this space-charge limitation is electron emission from the surface of a ferroelectric layer, taking advantage of polarization inversion in the ferroelectric layer (e.g., H. Gundl et al., Appl. Phys. Lett., Vol. 54, p. 2071, 1989 and JP-A No. 325777/1993). However, the quantity of electrons emitted by this method is only at most the quantity of charged electrons coupled with polarization charges in the ferroelectric layer and, therefore, a high-density emission electron current cannot be expected. Because electrons are emitted from the surface of the ferroelectric layer, a problem that electron emission characteristics are destabilized by gas adsorption and release has also been presented.

[0009] To solve this problem, the inventors devised an electrode structure to stabilize the electron emission characteristics, wherein the surface of the ferroelectric layer is covered with a metal electrode and electrons are drawn by electric field application between the electrode and a trigger plate separated from this metal electrode via an isolation film (refer to JP-A No. 259304/1994). However, this structure improved the electron emission characteristics, but posed other problems that the isolation film between the metal electrode and the trigger plate must be non-conductive with a high dielectric strength and complicated circuitry must be made to drive this device.

[0010] The present invention is intended to solve the above problems associated with the prior art and its object is to provide an electron pulse emission device and a display device which are free from the space-charge limitation effect, are capable of achieving a high-density electron emission current by pulsed emission of electrons on a low operating voltage, and have a flat cathode structure with less characteristic variation and deterioration.

[0011]

[Means for Solving the Problems] To achieve the above object, according to one aspect (claim 1) of the present invention, there is provided an electron pulse emission device which comprises a supporting substrate, a first electrode formed on the supporting substrate, a ferroelectric layer formed on top of the first electrode, a second electrode formed on top of the

ferroelectric layer without being in contact with the first electrode, a third electrode facing toward the second electrode across a space, a means for applying a positive DC bias with regard to the first electrode to the third electrode, and a means for applying an AC pulse voltage between the first electrode and the second electrode to induce polarization inversion in the ferroelectric layer. The electron pulse emission device is characterized by intermittently emitting electrons from the surface of the second electrode toward the third electrode.

[0012] According to another aspect (claim 3) of the present invention, there is provided a display device which comprises a supporting substrate, a plurality of first electrodes formed on the supporting substrate, a ferroelectric layer formed on top of the first electrodes, a plurality of second electrodes formed on top of the ferroelectric layer without being in contact with the first electrodes and in an orthogonal direction to the first electrodes, and an isolation layer formed on top of the second electrodes, the isolation layer having openings at the intersections of the plurality of first electrodes and the plurality of second electrodes. The supporting substrate is placed opposite to a transparent substrate across a space, the transparent substrate facing toward the second electrodes across the space and having a transparent conductive layer and a phosphor layer formed thereunder. The display device further comprises a means for applying a positive DC bias with regard to the first electrodes to the transparent conductive layer and a means for applying an AC pulse voltage between each first

electrode and each second electrode to induce polarization inversion in the ferroelectric layer. The display device is characterized by intermittently emitting electrons from the exposed surfaces of the second electrodes toward the transparent conductive layer.

[0013]

[Function] The electron pulse emission device configured as described above can make use of not only electrons stored as capacitance coupled to the second electrode, but also electrons bound to the level of the interface between the second electrode and the ferroelectric layer, and electrons bound to fault levels in the ferroelectric layer as emission electrons, and, therefore, is capable of producing a high-density emission current.

[0014] A p-type diffusion layer may be formed as the first electrode on an n-type silicon substrate as the supporting substrate. In this structure, electrons injected from the pn junction can also be used as emission electrons and a higher-density emission current can be produced.

[0015] If the ferroelectric layer that is, for example, about 200 nm thick is formed, a voltage as low as ± 5 V is enough to induce polarization inversion in the ferroelectric layer and electrons can be emitted with a low voltage. Because electrons are emitted from the surface of a flat structure of the second electron formation, an electron pulse emission device in which emission current convergence does not occur and which is less susceptible to gas adsorption and release can be realized. Its

operation can be effected simply by applying an AC pulse voltage between the first electrode and the second electrode and, therefore, circuitry required for the operation is simplified.

[0016] By employing the transparent substrate laminated with the transparent conductive layer which is formed as the third electrode in the above electron pulse emission device and further laminated with the phosphor layer, a thin display device capable of operating on a low voltage can be realized.

[0017]

[Preferred Embodiments] Preferred embodiments of the electron pulse emission device of the present invention will be described hereinafter with reference to the accompanying drawings.

[0018] FIG. 1 is a cross-sectional view of an electron pulse emission device according to a first embodiment of the present invention. In FIG. 1, reference numeral 1 denotes a supporting substrate such as a silicon substrate or glass substrate; 2 denotes a first electrode which consists of a platinum film; 3 denotes a ferroelectric layer which is made of zirconium titanate and is 200 nm thick and; 4 denotes a second electrode which consists of a platinum film and is 10 nm thick; and 5 denotes a third electrode which is made of aluminum, wherein the second electrode 4 and the third electrode 5 are separated by a gap of about 1 mm. Reference numeral 6 denotes a DC bias power supply and 7 denotes an AC pulse power supply and these power supply elements constitute a part of a drive circuit to actuate the electron pulse emission device.

[0019] Operation of the electron pulse emission device

configured as above will be explained below. First, a positive pulse voltage with regard to the first electrode 2 is applied between the first electrode 2 and the second electrode 4 to charge a capacitor consisting of the first electrode 2, ferroelectric layer 3, and second electrode 4. At this time, electrons are stored in the second electrode 4. Then, when a negative pulse voltage with regard to the first electrode 2 is applied between the first electrode 2 and the second electrode 4, polarization inversion takes place in the ferroelectric layer 3. By the DC bias 6 application, the electrons are emitted from the second electrode 4 toward the first electrode 5.

[0020] The above operation will be further explained, using electron energy band diagrams. FIG. 2A is an electron energy band diagram when the positive pulse voltage with regard to the first electrode is applied to the second electrode. FIG. 2B is an electron energy band diagram when the negative pulse voltage with regard to the first electrode is applied to the second electrode. In these figures, reference numeral 21 denotes the electron energy band of the first electrode 2; 22 denotes the electron energy band of the ferroelectric layer 3; 23 denotes the electron energy band of the second electrode 4; 24 denotes a vacuum level; 25 denotes a Fermi level; 26 denotes an electron, capacitance coupled to the second electrode 4; 27 denotes an electron bound to the level of the interface between the second electrode 4 and the ferroelectric layer 3; and 28 denotes an electron bound to a fault level in the ferroelectric layer 3. The following explanation will focus on electrons only

as units of charge.

[0021] As shown in FIG. 2A, when the positive pulse voltage with regard to the first electrode 2 is applied between the first electrode 2 and the second electrode 4, electrons 26, capacitance coupled to the second electrode 4, are stored in the second electrode 4, electrons 27 bound to the interface level are stored on the interface between the second electrode 4 and the ferroelectric layer 3, and electrons 28 bound to fault levels are stored in the ferroelectric layer 3. Then, as shown in FIG. 2B, when the negative pulse voltage with regard to the first electrode 2 is applied between the first electrode 2 and the second electrode 4, polarization inversion occurs in the ferroelectric layer 3. By an electric field generated by a polarization charge resulting from the polarization inversion, the electrons 27 bound to the interface level jump out toward the vacuum level 24. Furthermore, accelerated by the electric field applied to the ferroelectric layer 3, the electrons 28 bound to fault levels in the ferroelectric layer 3 hop from one to another fault level and jump out toward the vacuum level 24.

[0022] Next, an electron pulse emission device according to a second embodiment of the present invention will be described with reference to the accompanying drawings.

[0023] FIG. 3 is a cross-sectional view of the electron pulse emission device of the second embodiment. In FIG. 3, reference numeral 31 denotes an n-type silicon substrate; 32 denotes a first electrode which consists of a p-type diffusion layer; 33 denotes a ferroelectric layer which is made of zirconium

titanate and is 200 nm thick; 34 denotes a second electrode which consists of a platinum film and is 10 nm thick; 35 denotes a third electrode which is made of aluminum, wherein the second electrode 34 and the third electrode 35 are separated by a gap of about 1 mm; 36 denotes a DC bias power supply; and 37 denotes an AC pulse power supply. The first electrode 32 forms a pn junction with the n-type silicon substrate 31. The AC pulse power supply 37 is electrically connected to the first electrode 32 and the polarity of voltage that is applied between the first electrode 32 and the second electrode 34 is opposite to the polarity of voltage that is applied between the first electrode 32 and the n-type silicon substrate 31.

[0024] Operation of the electron pulse emission device of the second embodiment configured as above will be explained below.

[0025] FIG. 4A is an electron energy band diagram when the DC bias power supply and the AC pulse power supply are disconnected. FIG. 4B is an electron energy band diagram when the DC bias power supply and AC pulse power supply 37 are connected and a positive pulse voltage is applied to the first electrode 32. FIG. 4C is an electron energy band diagram when a negative pulse voltage is applied to the first electrode 32. In these figures, reference numeral 41 denotes the electron energy band of the pn junction; 42 denotes the electron energy band of the ferroelectric layer; 43 denotes the electron energy band of the second electrode 34; 44 denotes a vacuum level; 45 denotes a Fermi level; 46 denotes an electron, capacitance coupled to the second electrode 34; 47 denotes an electron bound to the level

of the interface between the second electrode 34 and the ferroelectric layer 33; 48 denotes an electron bound to a fault level within the ferroelectric layer 33; and 49 denotes an electron injected into the first electrode 32 from the n-type silicon substrate 31.

[0026] When a bias voltage is applied and a positive pulse voltage is applied to the first electrode 32, as shown in FIG. 2A, electrons 46, capacitance coupled to the second electrode 43 are stored in the second electrode 43, electrons 47 bound to the interface level are stored on the interface between the second electrode 34 and the ferroelectric layer 33, and electrons 48 bound to fault levels are stored in the ferroelectric layer 33. Moreover, because the pn junction is forward biased, electrons 49 are diffusely injected into the first electrode 32 from the n-type silicon substrate 31 and part of these electrons become electrons 47 bound to the level of the interface between the ferroelectric layer 33 and the first electrode 32.

[0027] Then, when a negative pulse voltage is applied to the first electrode 32, as shown in FIG. 4C, polarization inversion occurs in the ferroelectric layer 33. By an electric field generated by a polarization charge resulting from the polarization inversion, the electrons 47 bound to the interface level jump out toward the vacuum level 44. Furthermore, accelerated by the electric field applied to the ferroelectric layer 33, the electrons 48 bound to fault levels in the ferroelectric layer 33 hop from one to another fault level and

jump out toward the vacuum level 44. In addition, the electrons 47 bound to the interface level between the first electrode 32 and the ferroelectric layer 33 are also accelerated by the electric field and emitted toward the vacuum level 44.

[0028] While the electron pulse emission device of the second embodiment employing the n-type silicon substrate and the p-type diffusion layer as the first electrode and making use of the pn junction has been discussed, a similar electron pulse emission device can be constructed by forming an n-type well in a p-type silicon substrate and forming a p-type diffusion layer that serves as the first electrode in the n-type well. If the pn junction is not used, in a possible embodiment of the invention, an n-type diffusion layer may be formed in a p-type silicon substrate and used as the first electrode.

[0029] Next, a display device according to one embodiment of the present invention will be described with reference to the accompanying drawing. FIG. 5 is a three-dimensional cross-sectional view of the display device. In FIG. 5, reference numeral 51 denotes an n-type silicon substrate; 52 denotes a first electrode which consists of a p-type diffusion layer; 53 denotes a ferroelectric layer such as PZT; 54 denotes a second electrode consisting of a platinum film or the like, formed so as to intersect the first electrodes 52 orthogonally; 55 denotes an isolation layer which consists of a silicon oxide film or the like; 56 denotes an opening made in the isolation layer 55; 57 denotes a phosphor layer; 58 denotes a third electrode which consists of a transparent conductive layer; 59 denotes a

transparent substrate; 60 denotes a DC bias power supply; and 61 denotes an AC pulse power supply. The first electrodes 52 and the second electrodes 54 are assumed connected via switches omitted from the drawing to the AC-pulse power supply 61. As shown in FIG. 5, the display device of this embodiment is configured such that many openings for emitting electrons are provided at the top of the n-type silicon substrate 51 and the transparent substrate 59 with the phosphor layer 57 and the transparent conductive layer 58 formed under it is placed opposite to the top of the n-type silicon substrate 51, both substrates and their peripheries being vacuum sealed.

[0030] Specifically, numbers of first electrodes 51 disposed in parallel on the n-type silicon substrate 51 and numbers of second electrodes 54 disposed in parallel on the ferroelectric layer 53 are placed at right angles to each other. The numbers of second electrodes 54 are electrically isolated from each other by the isolation layer 55 consisting of the silicon oxide film with openings 56 for emitting electrons into a vacuum. The first electrodes 52 and the second electrodes 54 are terminated via the switches (not shown) at the AC pulse power supply 61. On the other hand, the third electrode 58 which catches emitted electrons biased by the DC bias voltage supply 60 with regard to the AC pulse power supply 61 is the transparent conductive layer formed on the inside of the transparent substrate 59 which is placed opposite to the electron emission surface across a space from the openings 56. As the material of the third electrode, for example, indium oxide (ITO) or the like is used.

Furthermore, in this embodiment, the transparent conductive layer 58 surface on which electrons arrive is coated with phosphor 57. A consistent gap between the silicon substrate 51 and the transparent substrate 59 can be maintained by inserting spacers between the transparent substrate 59 and isolation layer 55.

[0031] Operation of the display device configured as above will be explained below. First, a capacitor consisting of each first electrode 52, the ferroelectric layer 53, and each second electrode 54 is charged and discharged by the AC pulse power supply 61 in the same way as described for the electron pulse emission device shown in FIG. 3. Electron emission occurs in each of the points of grids formed by the first electrodes 52 and the second electrodes 54 disposed at right angles to each other. By a combination of the On and Off states of the switches (not shown) respectively connected to the first electrodes 52 and the second electrodes 54, the grid points are selected and deselected. Electrons emitted from the opening 56 at any grid point thus selected are accelerated by the DC bias power supply 60 and arrive on the third electrode 58. In this embodiment, because the third electrode 58 surface is coated with the phosphor 57, the accelerated electrons hit against the phosphor 57, thereby causing the phosphor to emit light. In other words, any point on the inside of the transparent substrate 59 can be selected to emit light and, therefore, this display device can be used as a flat image display device.

[0032] While the display device of the above embodiment

employing the p-type diffusion layer formed on the n-type silicon substrate 51 as the first electrodes 52 has been discussed, which is an example of efficiency enhancement through the use of the pn junction, the diffusion layer may be either p-channel type or n-channel type if it is simply used for wiring. A similar display device can be constructed by using an insulative substrate instead of the semiconductor substrate, forming a plurality of first electrodes made of a conductive material on the insulative substrate, forming the ferroelectric layer to cover the first electrodes, and forming second electrodes on the ferroelectric layer so as to intersect the first electrodes orthogonally.

[0033] While the display device of the above embodiment employing the second electrodes consisting of the platinum film has been discussed, a metal with a low work function other than platinum may be used or the surface of a low resistive metal may be coated with a substance that is of a high electron emission efficiency such as magnesium oxide (MgO) and cesium (Cs); thereby, a display device comprising an electron pulse emission device with a higher electron emission efficiency can be constructed.

[0034] To make the display device capable of displaying in color, phosphor film partitions for emitting different colors corresponding to the intersections of the first electrodes 52 and the second electrodes 54 may be formed on the transparent substrate 59 or a phosphor film 57 to emit white light may be selected and a mosaic color filter superposed on the transparent

substrate 59. At this time, the first electrodes 52 and the second electrodes 54 should intersect such that the intersections in a column (or row) are a half pitch off the positions of the intersections in an adjacent column (or row), thereby enabling a bright color display.

[0035] If a monocrystalline silicon substrate is used as the substrate, the electrodes can be formed by using a normal method of fabricating semiconductor devices and a high performance drive circuit can be formed in the periphery of a display unit. Thus, a small and high performance display device can be constructed.

[0036] If a transparent substrate on which a polycrystalline silicon film or amorphous silicon film is formed is used as the substrate, a large screen display device can be constructed, though its performance is somewhat lower than the display device employing the monocrystalline silicon substrate.

[0037]

[Effect of the Invention] The present invention provides an electron pulse emission device comprising a first electrode formed on a supporting substrate, a ferroelectric layer formed on top of the first electrode, a second electrode formed on top of the ferroelectric layer without being in contact with the first electrode, and a third electrode placed opposite to the second electrode across a space. By emitting electrons stored as capacitance coupled to the electrode, electrons bound to the level of the interface between the electrode and the ferroelectric layer, and electrons bound to fault levels in the

ferroelectric layer, an electron pulse emission device that produces a high-density emission current with a low voltage can be realized. If the ferroelectric layer is, for example, about 200 nm thick, a voltage as low as ± 5 V is enough to induce polarization inversion in the ferroelectric layer and the device can operate on a low voltage.

[0038] In a preferred embodiment, an n-type silicon substrate is used and a p-type diffusion layer is formed as the first electrode, on top of which the ferroelectric layer and second electrode are formed in order, and the third electrode is positioned above them. In this structure, electrons injected from the pn junction can also be used as emission electrons and a higher-density emission current can be produced.

[0039] Electrons are emitted from the surface of a flat metal or oxide structure and an electron pulse emission device in which emission current convergence does not occur and which is less susceptible to gas adsorption and release can be realized.

[0040] Through application of the above electron pulse emission device, a very thin display device can be realized in which the third electrode is coated with a phosphor layer and the phosphor layer emits light when excited by emitted electrons.

[0041] In another embodiment, a monocrystalline silicon substrate is used as the substrate of the display device and a drive circuit can be formed integrally with the display unit in its periphery. This can reduce the number of input terminals

of the display device and simplify external circuits.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG. 1 is a cross-sectional view of an electron pulse emission device according to a first embodiment of the present invention;

FIG. 2A is an electron energy band diagram when a positive pulse voltage with regard to a first electrode is applied to a second electrode in the electron pulse emission device of the first embodiment;

FIG. 2B is an electron energy band diagram when a negative pulse voltage with regard to the first electrode is applied to the second electrode in the electron pulse emission device of the first embodiment;

FIG. 3 is a cross-sectional view of an electron pulse emission device according to a second embodiment of the present invention;

FIG. 4A is an electron energy band diagram when a DC bias voltage and an AC pulse voltage are not applied in the electron pulse emission device of the second embodiment;

FIG. 4B is an electron energy band diagram when a DC bias voltage is applied and a positive pulse voltage is applied to a p-type diffusion layer in the electron pulse emission device of the second embodiment;

FIG. 4C is an electron energy band diagram when a DC bias voltage is applied and a negative pulse voltage is applied to the p-type diffusion layer in the electron pulse emission device of the second embodiment;

FIG. 5 is a three-dimensional cross-sectional view of a display device according to one embodiment of the present invention; and

FIG. 6 is a cross-sectional view of a main portion of an electron pulse emission device of prior art.

[Description of Reference Numerals]

- 1 Supporting plate
- 2 First electrode
- 3 Ferroelectric layer
- 4 Second electrode
- 5 Third electrode

FIG. 1

- 1 SUPPORTING PLATE
- 2 FIRST ELECTRODE
- 3 FERROELECTRIC LAYER
- 4 SECOND ELECTRODE
- 5 THIRD ELECTRODE

FIG. 2

FIG. 6

FIG. 3

FIG. 4

FIG. 5

55 ISOLATION LAYER

56 OPENING FOR EMISSION

57 PHOSPHOR

59 GLASS PLATE